

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2918792号

(45) 発行日 平成11年(1999) 7月12日

(24) 登録日 平成11年(1999) 4月23日

(51) Int.Cl.⁸

H 0 1 L 21/205
21/336
29/786

識別記号

F I

H 0 1 L 21/205
29/78

6 2 7 B

請求項の数17(全 8 頁)

(21) 出願番号 特願平6-327116

(22) 出願日 平成 6 年(1994)12月28日

(65) 公開番号 特開平7-326589

(43) 公開日 平成 7 年(1995)12月12日

審査請求日 平成 8 年(1996) 7月10日

(31) 優先権主張番号 0 8 / 1 7 4 1 0 3

(32) 優先日 1993年12月28日

(33) 優先権主張国 米国 (U S)

早期審査対象出願

(73) 特許権者 390040660

アプライド マテリアルズ インコーポ
レイテッド

APPLIED MATERIALS,
INCORPORATED

アメリカ合衆国 カリフォルニア州
95054 サンタ クララ パウアーズ
アベニュー 3050

(72) 発明者 カム ロウ

アメリカ合衆国, カリフォルニア州
94587, ユニオン シティ, リヴィ
エラ ドライブ 461

(74) 代理人 弁理士 長谷川 芳樹 (外 3 名)

審査官 長谷山 健

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ用シングルチャンバCVDプロセス

1

(57) 【特許請求の範囲】

【請求項 1】 単一のCVDチャンバ内で薄膜トランジスタ基板上に、絶縁体層と、真性アモルファスシリコン層と、少なくとも1つのドーバントを含むドーブアモルファスシリコン層とを堆積する方法であって、薄膜トランジスタ基板をCVDチャンバ内に置き、前記チャンバが前記基板で覆われないチャンバ表面を有するステップと、

基板上に少なくとも1つの絶縁材料から成る絶縁体層を、少なくとも400nmの厚さに堆積する第1の堆積ステップと、

真性アモルファスシリコン層を前記絶縁体層の上に第2の所定の厚さに堆積する第2の堆積ステップと、

少なくとも1つのドーバントを含むドーブアモルファスシリコン層を前記真性アモルファスシリコン層の上に第

2

3の所定の厚さに堆積させる第3の堆積ステップとを備え、前記第1の堆積のステップで堆積される前記少なくとも1つの前記絶縁材料が、先の堆積プロセスで前記チャンバ表面に残された残留ドーバント全てを実質的に覆い、前記連続して堆積された真性アモルファスシリコン層が前記残留ドーバントで汚染されること防止する堆積方法。

【請求項 2】 前記絶縁体層の前記少なくとも1つの絶縁材料が、窒化珪素と、酸化珪素と、シリコンオキシナイトライドと、ポリマーベースの誘電材料とから成る群から選択される請求項 1 に記載の堆積方法。

【請求項 3】 少なくとも1枚の基板の堆積プロセスの後に、前記チャンバ表面をインシチュウブラズマクリーニングするステップを更に備える請求項 1 に記載の堆積方法。

【請求項4】 前記ドーパントが、リンと、アンチモンと、ヒ素と、ホウ素とから成る群から選択される請求項1に記載の堆積方法。

【請求項5】 請求項1の方法に従って作製された薄膜トランジスタ。

【請求項6】 単一のCVDチャンバ内で薄膜トランジスタ基板上に、絶縁体層と、真性アモルファスシリコン層と、少なくとも1つのドーパントを含むドーパアモルファスシリコン層とを堆積する方法であって、

薄膜トランジスタ基板をCVDチャンバ内に置き、前記チャンバが前記基板で覆われないチャンバ表面を有するステップと、

基板上に少なくとも1つの絶縁材料から成る絶縁体層を、前記チャンバ内圧力が1.2～1.5トールの下で、200nm以上の厚さに堆積する第1の堆積ステップと、

前記チャンバ内圧力が1.2～1.5トールの下で、真性アモルファスシリコン層を前記絶縁体層の上に第2の所定の厚さに堆積する第2の堆積ステップと、

前記チャンバ内圧力が1.2～1.5トールの下で、少なくとも1つのドーパントを含むドーパアモルファスシリコン層を前記真性アモルファスシリコン層の上に第3の所定の厚さに堆積させる第3の堆積ステップとを備え、前記第1の堆積のステップで堆積される前記少なくとも1つの前記絶縁材料が、先の堆積プロセスで前記チャンバ表面に残された残留ドーパント全てを実質的に覆い、前記連続して堆積された真性アモルファスシリコン層が前記残留ドーパントで汚染されること防止する堆積方法。

【請求項7】 前記絶縁体層の前記少なくとも1つの絶縁材料が、窒化珪素と、酸化珪素と、シリコンオキシナイトライドと、ポリマーベースの誘電材料とから成る群から選択される請求項6に記載の堆積方法。

【請求項8】 少なくとも1枚の基板の堆積プロセスの後に、前記チャンバ表面をインシチュウブラズマクリーニングするステップを更に備える請求項6に記載の堆積方法。

【請求項9】 前記ドーパントが、リンと、アンチモンと、ヒ素と、ホウ素とから成る群から選択される請求項6に記載の堆積方法。

【請求項10】 請求項6の方法に従って作製された薄膜トランジスタ。

【請求項11】 内部チャンバ壁面を有するCVDチャンバ内に置かれた基板上に、真性シリコン層とドーパントを含むドーパシリコン層とを連続して堆積する、前記ドーパントにより該真性シリコン層を実質的に汚染しない堆積方法であって、

前記チャンバ内で第1の絶縁材料の前駆体ガスのブラズマを発生させて、前記チャンバ内に基板が最初に導入されていない状態で前記内部チャンバ壁面を前記第1の絶

縁材料で実質的に覆うステップと、

前記チャンバ内に基板を導入するステップと、

第2の絶縁体の層を、前記チャンバ内圧力が1.2～1.5トールの下で、200nm以上の厚さに基板上に堆積する第1の堆積ステップと、

前記チャンバ内圧力が1.2～1.5トールの下で、真性アモルファスシリコン層を前記第2の絶縁体の層の上に第2の所定の厚さに堆積する第2の堆積ステップと、前記チャンバ内圧力が1.2～1.5トールの下で、少なくとも1つのドーパントを含むドーパアモルファスシリコン層を前記真性アモルファスシリコン層の上に第3の所定の厚さに堆積させる第3の堆積ステップとを備え、前記第1の堆積のステップで堆積される前記第2の絶縁材料が、先の堆積プロセスで前記チャンバ表面に残された残留ドーパント全てを実質的に覆い、前記連続して堆積された真性アモルファスシリコン層が前記残留ドーパントで汚染されること防止する堆積方法。

【請求項12】 前記第1の絶縁材料と前記第2の絶縁材料とが、窒化珪素と、酸化珪素と、シリコンオキシナイトライドと、ポリマーベースの誘電材料とから成る群から選択される請求項11に記載の堆積方法。

【請求項13】 前記ドーパントが、リンと、アンチモンと、ヒ素と、ホウ素とから成る群から選択される請求項11に記載の堆積方法。

【請求項14】 請求項11の方法に従って作製された基板。

【請求項15】 請求項11の方法に従って作製された薄膜トランジスタ。

【請求項16】 化学気相堆積(CVD)チャンバ内に置かれた基板上に、真性アモルファスシリコン層とドーパントを含むドーパアモルファスシリコン層とを連続して堆積する、前記ドーパントにより該真性アモルファスシリコン層を実質的に汚染しない堆積方法であって、前記チャンバ内に基板が無い状態で、少なくとも1つの絶縁材料のブラズマを発生し、前記内部表面上を前記絶縁材料で覆うステップと、

基板上に少なくとも1つの絶縁材料から成る絶縁体層を、前記チャンバ内圧力が1.2～1.5トールの下で、200nm以上の厚さに堆積する第1の堆積ステップと、

前記チャンバ内圧力が1.2～1.5トールの下で、真性アモルファスシリコン層を前記絶縁体層の上に第2の所定の厚さに堆積する第2の堆積ステップと、

前記チャンバ内圧力が1.2～1.5トールの下で、少なくとも1つのドーパントを含むドーパアモルファスシリコン層を前記真性アモルファスシリコン層の上に第3の所定の厚さに堆積させる第3の堆積ステップとを備え、4つの前記ステップ全てが単一のCVDチャンバ内で行われ、前記第1の堆積のステップで堆積される前記

少なくとも1つの前記絶縁材料が、先の堆積プロセスで

前記チャンバ表面に残された残留ドーパント全てを実質的に覆い、前記連続して堆積された真性アモルファスシリコン層が前記残留ドーパントで汚染されること防止する堆積方法。

【請求項17】 前記少なくとも1つの絶縁材料が、窒化珪素と、酸化珪素と、シリコンオキシナイトライドと、ポリマーベースの誘電材料とから成る群から選択される請求項16に記載の堆積方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、化学気相堆積(CVD)チャンバ内に配置された基板上に、真性の(intrinsic)アモルファスシリコン層及び少なくともドーパントを1種ドーパしたアモルファスシリコン層を連続的に堆積する改良方法に関する。特に、本発明は、真性の(intrinsic)アモルファスシリコン層及び少なくともドーパントを1種ドーパしたアモルファスシリコン層を、同じCVDチャンバ内の薄膜トランジスタ(thin film transistor:TFT)基板上に堆積し、係る真性のアモルファスシリコン層に係るドーパントにより汚染しない改良方法に関する。

【0002】

【従来の技術】プラズマ励起化学気相堆積法(PECVD)は、種々の基板に電子材料の層を堆積することによる半導体デバイスの製造に広く用いられる方法である。PECVDプロセスでは、2枚一組の平行板電極を備えた真空堆積チャンバの中に基板が配置される。通常、基板は下側の電極でもあるサセプタ上に配置される。堆積チャンバ内には、上側の電極でもあるガス流入マニホールドを介して反応体ガス(reactant gas)が流入される。2枚の電極間には、高周波(RF)電圧が印加されるが、これら電極は、反応体ガスにプラズマを発生させるに充分なRF出力を発生させる。プラズマは、反応体ガスを分解して、基板体の表面上に所望の物質の層を堆積させる。この第1の層の上に別の電子材料の別の層を堆積するには、堆積しようとする別の層の物質を含んだ反応体ガスを堆積チャンバに流入させればよい。各反応体ガスはプラズマに暴露されて、所望の材料の層を堆積させる。

【0003】近年、大型液晶セルがフラットパネルディスプレイに用いられるようになった。このタイプの液晶セルは、液晶材料の層を挟んだ2枚のガラス板を有している。ガラス基板は、基板上にコーティングされた導電性の膜を有し、少なくとも1つの基板がITOフィルム等のように透明である。基板は、出力源に接続されて、液晶材料の配向を変化させることができる。導電性膜を正確にパターン化することにより、液晶セルの様々なエリアを利用することが可能である。最近では、液晶セルの別々のエリアに非常に高速でアドレスする目的で、薄膜トランジスタが用いられるようになった。このような

液晶セルは、TVやコンピュータモニタ等のアクティブマトリックスディスプレイに有用である。

【0004】液晶セルの解像度に対する要求が増しており、画素と呼ばれる液晶セルの多数のエリアにアドレスすることが望ましい。近年のディスプレイパネルには、1,000,000以上の画素を入れることが可能である。各画素を個別にアドレスしスイッチ状態にしたまま、他の画素へのアドレスを可能にするためには、少なくとも同じ数のトランジスタをガラス板上に形成する必要がある。

10

【0005】薄膜トランジスタデバイスには大きく2つのタイプが用いられ、その1つは、バックチャンネルエッチ(back channel etched:BCE)薄膜トランジスタである。BCE TFTの処理において多用されるCVDプロセスは、3層を連続的に堆積するプロセスである；この3層とは、典型的にはゲート窒化珪素の絶縁層、ゲート酸化珪素の絶縁層又はこれら2つの絶縁層の上に、真性の(アンドープの)アモルファスシリコン(i-a-Si)層、そしてこの上にリンをドーパしたアモルファスシリコン(n⁺-a-Si)の薄い層であり、これらを別々の3つのCVDチャンバで堆積する。ドーパしたアモルファスシリコン層は約40〜60nmの厚みでよいのだが、連続プロセスで真性アモルファスシリコン膜を汚染する残留リンをチャンバ内に残さないために、従来技術では別のプロセスチャンバで堆積しなければならなかった。

20

30

【0006】ドーパしたアモルファスシリコン層の堆積のステップは、アモルファスシリコンベースのTFTの堆積プロセス全ての中でも重要なステップである。真性アモルファスシリコン層の頂面上にドーパアモルファスシリコン層を堆積することにより、真性アモルファスシリコンと続いて堆積されるメタル層との間の電気的接触を改善する。この真性アモルファスシリコン層とメタル層との間薄いドーパアモルファスシリコン層を堆積することにより、真性アモルファスシリコン層とメタル層との間にオーミック接続を形成せしめる。

【0007】

【発明が解決しようとする課題】真性アモルファスシリコン層とドーパアモルファスシリコン層とを単一のCVDチャンバのみで堆積すれば、ドーパントガスや微粒子、即ち、リン、アンチモン、ヒ素やホウ素の微粒子がチャンバ内に残されてチャンバ壁を覆った場合にこれらは汚染物になる。次のTFT基板の堆積プロセスが行われた時に、チャンバ壁に残された残留ドーパントは不純物として真性アモルファスシリコン層を汚染する。このような汚染により、薄膜トランジスタデバイスに欠陥が生じ使用できなくなる。

40

50

【0008】その結果、従来のPECVDプロセス薄膜トランジスタの製造に用いて、真性アモルファスシリコン層とドーパアモルファスシリコン層との堆積を連続し

て行う場合、ドーブアモルファスシリコン層の堆積プロセスは、アンドーブアモルファスシリコン層の堆積プロセスとは別のCVDチャンバで行う必要がある。ガラス基板はそのサイズも重量も大きく、例えばサイズが約360x465x1.1mmにもなるため、ガラス基板上への薄膜の堆積には一般に大きな反応チャンバを要し、反応チャンバから、次に行われる薄膜の堆積のための別の反応チャンバへの移動のために、大きく且つしばしば動作の遅い移送装置が必要となる。この基板の移送操作は、貴重な処理時間を消費し、系のスループットを低減してしまう。一般に、移送操作は基板温度の低下を伴い、従って、この移送操作の後に、基板を再び堆積の温度まで加熱しなければならず、この時間が更に、堆積に要する時間に付加される。更に、別のチャンバへの移送の際に、堆積された膜が汚染される恐れが必ず存在する。

【0009】従って、本発明の目的は、真性アモルファスシリコン層とドーブアモルファスシリコン層とを連続して基板上へ堆積する、高スループットの方法を提供することにある。

【0010】本発明の他の目的は、真性アモルファスシリコン層の汚染の問題を生じずに、同じCVDチャンバ内で、真性アモルファスシリコン層とドーブアモルファスシリコン層とを連続して基板上へ堆積する改良方法を提供することにある。

【0011】

【課題を解決するための手段】本発明に従えば、真性アモルファスシリコン層の汚染の問題を生じずに、同じCVDチャンバ内で、真性アモルファスシリコン層とドーブアモルファスシリコン層とは連続して基板上へ堆積される。

【0012】好適な具体例では、真性アモルファスシリコン層の堆積に先立ち、誘電絶縁材料の層を堆積する第1の堆積操作により、真性アモルファスシリコン層とドーブアモルファスシリコン層とは、同じCVDチャンバ内で基板上に連続して堆積される。TFT基板上に堆積された絶縁材料は、その前に行われた基板への堆積プロセスによってチャンバ壁面に残留した残留ドーバントを実質的に全て覆うに充分な残留絶縁材料をチャンバ壁面に被覆させるような最低限の厚さをもつ必要がある。このことにより、同じCVDチャンバ内で基板上に真性アモルファスシリコン層を堆積させる次の堆積プロセスに対してクリーンな環境を与えるに有効である。そして、このプロセスを繰り返して別の基板を処理することでもできる。

【0013】このチャンバ内で基板1〜10枚に堆積操作を行った後には、チャンバ内部のインシチュウ(in-situ)プラズマクリーニングプロセスを行ってもよい。プラズマクリーニングプロセスは、チャンバ壁面から絶縁材料とドーバントとを全て除去するに有効である。この

インシチュウクリーニングの頻度は、各堆積プロセスにおいて決められるべき多くのプロセスパラメータに依存する。

【0014】

【実施例】本発明は、チャンバ壁面の残留ドーバントによる真性アモルファスシリコン層の汚染の問題を生じずに、同じCVDチャンバ内で、真性アモルファスシリコン層とドーブアモルファスシリコン層とを連続して基板上へ堆積する改良方法を開示する。

【0015】先ず、図1には、本発明に従った方法の実施が可能なプラズマ励起CVD装置10の模式的な断面図が示される。この装置は、ターナーらによる米国特許出願通し番号08/010683番(1993年1月28日提出)に開示されている。堆積チャンバ12は、上面14へ通じる開口と、該開口内の第1の電極ないしガス流入マニホールド16とを包含する。もしくは、上面14は、電極16と一体であり、その内部表面に隣接していてもよい。チャンバ12内部には、板状で第1の電極16と平行な位置にまで伸びたサセプタ18がある。サセプタ18は、代表的にはアルミニウム製であり、酸化アルミニウムの層で被覆される。サセプタ18は大地に接続されて、第2の電極として作用する。サセプタ18は、シャフト20の一端に設置され、シャフト20は垂直方向に堆積チャンバ12の底壁面22を越えて伸びている。シャフト20は垂直方向に可動であり、サセプタ18が第1の電極16に対して接近及び分離する垂直方向への動きを可能にする。リフトオフ板24は、サセプタ18と堆積チャンバ12の底壁面22との間でサセプタ18と実質的に平行になるように、水平方向に伸び、且つ垂直方向に対して可動である。リフトオフピン26は、リフトオフ板24から垂直上向きに突出している。リフトオフピン26は、サセプタ18のリフト口28を通して伸びることができるところにあり、サセプタ18の厚さよりも少しだけ長い長さを有する。図にはリフトピン26は2つしか示されないが、リフトオフ板24の周囲にわたって更に多数のリフトピン26があってもよい。ガス流出口30は、堆積チャンバ12の側壁面を突き抜けて伸び、堆積チャンバ12の排気手段(図示されず)に接続される。ガス流入パイプ42は、堆積チャンバ12の第1の電極ないしガス流入マニホールド16に伸び、ガススイッチネットワーク(図示されず)を介して種々のガスのソース(図示されず)に接続される。第1の電極16は、RF出力ソース36に接続される。通常は、基板をロードロックドア(図示されず)を介して堆積チャンバ12内のサセプタ18状に基板を運ぶための、並びに被覆が済んだ基板を堆積チャンバ12から除去するための、移送バドル(図示されず)が具備される。

【0016】堆積装置10を運転するにあたり、まず移送バドル(図示されず)により、基板38が堆積チャン

バ12内にロードされて、サセプタ18上に置かれる。基板38は、サセプタ18のリフト口28を越えて広がる大きさである。通常用いられる薄膜トランジスタ基板のサイズは、約360mm～465mmである。サセプタ18は、リフトオフピン26がリフト口28を越えて伸びないような状態になるようにシャフト20を上向きに動かすことによって、リフトオフピン26の上に位置し、サセプタ18及び基板38は第1の電極に比較的近い位置にある。基板表面とガス流入マニホールド16との間の電極間距離ないし間隔は、約0.5～約2インチ（約12.7～約50.8mm）である。更に好適には、この電極の間隔は、約0.8～約1.4インチ（約20.32～約35.56mm）である。

【0017】本発明の堆積プロセスに先立ち、大きなガラス製のTF Tシートである基板38は、周知のTF T技術により処理される。好適な具体例では、アルミニウムのパターン化されたメタルを含む最上層が堆積される。

【0018】本発明の堆積のプロセスの開始に際し、先ず、堆積チャンバ12はガス流出口を介して排気される。そして、パターン化されたTF T基板がサセプタ18の上の位置に置かれる。

【0019】現在いろいろなタイプの薄膜トランジスタが使用されている。これら薄膜トランジスタの多くは、TF T基板上のパターン化ゲートメタルの上へゲート誘電層を堆積し、ゲート誘電層の頂面上に被覆されたアモルファスシリコン層を有することを要する。その後、アモルファスシリコン層の上にメタルが堆積されるが、このアモルファスシリコン層にはドーパアモルファスシリコン層の薄い層も含まれてアモルファスシリコンとその上のメタルとの接触を改善してもよい。

【0020】窒化珪素ゲート誘電層は、ガラス基板上の薄膜トランジスタを形成するための絶縁層として有用であるために、高品質である必要がある。本発明では、高品質の窒化珪素膜は、この堆積操作において、CVDチ*

＊チャンバ内の圧力を約1.2～約1.5トールに維持し、基板温度を約300～350℃に維持することで得られる。反応体ガスの流量は、反応体ガスのレベルを適正に維持するように制御される。好ましくは、前掲の基板サイズでは、シラン100～300sccm及びアンモニア500～1000sccmを、キャリアガスとしての窒素1000～10000sccmに対して用いて、窒化珪素膜を堆積させる。ゲート窒化珪素膜（又は、ゲート絶縁層）の好ましい厚さは、約50～1000nmである。

【0021】また、本発明のプロセスでは誘電絶縁層として、例えば酸化珪素、シリコンオキシナイトライドや、PMDA-ODA、テフロン、ポリキノリン、ポリイミドやシロキサン等のポリマーベースの誘電材料等、他の誘電材料を用いてもよい。

【0022】図2は、3層のCVD処理のバックチャンネル型にエッチングされた薄膜トランジスタの拡大断面図である。アルミニウム等のパターン化メタル（図示せず）で被覆されたガラス製のTF T基板には、先ず、パッシベーションゲート誘電絶縁材料層52が堆積されるが、これには、パッシベーション窒化珪素、ゲート酸化珪素、又はゲート酸化珪素とゲート窒化珪素との複合層等がある。そして、ゲート絶縁層の上には、真性ないしアンドープアモルファスシリコン層54が、約200～約400nmの厚さで堆積される。次の堆積プロセスでは、約40～60nmの厚さのドーパアモルファスシリコン層56が、真性アモルファスシリコン層54の上に堆積される。使用したドーパントは、リンである。しかし、アンチモン、ヒ素又はホウ素等他のドーパント成分も、本発明において有用である。

【0023】代表的な堆積プロセス及びその処理条件を、次の表1～表3に示す。

【0024】

【表1】

SiH ₄	110 sccm
NH ₃	550 sccm
窒素	3900 sccm
RF電力	600 watts
圧力	1.2 torr
電極間隔	1000 mils
サセプタ温度	397°C
基板温度	340°C

【0025】

【表2】

SiH ₄	275 sccm
H ₂	1550 sccm
R F 電力	300 watts
圧力	1.2 torr
電極間隔	1000 mils
サセプタ温度	397°C
基板温度	320°C

【0026】

* * 【表3】

SiH ₄	275 sccm
H ₂	1000 sccm
0.5% PH ₃ in H ₂	500 sccm
R F 電力	300 watts
圧力	1.2 torr
電極間隔	1000 mils
サセプタ温度	397°C
基板温度	320°C

【0027】本発明では、ゲート窒化珪素層、真性アモルファスシリコン層及びドーパアモルファスシリコン層の3層全ての堆積を、1つのCVDプロセスチャンバ内で堆積させることができる。コンパクトなCVDチャンバシステムは、チャンバ内のガスの変更及び安定化が早くでき、また、プロセスチャンバ壁面の面積が小さいため、絶縁材の堆積プロセスにおいて壁面に堆積したドーパアモルファスシリコンを効率良く覆うことが可能となるため、コンパクトなCVDチャンバシステム内で実施すれば非常に有用である。従って、その後の真性アモルファスシリコンの堆積プロセスにおいて残留ドーパントは覆われたままの状態であるため、真性アモルファスシリコン層はほとんど汚染されない。プロセスチャンバのインシチュウブラズマクリーニングは、壁面の堆積物の全蓄積量を低減させるように頻繁なチャンバクリーニングを可能にする能力がある。このことにより、厚く蓄積したことから生じた壁面からの膜の剥離による残留物汚染は排除される。

【0028】また、本発明のシングルチャンバシステムは、システムの信頼性に対して別の利点を与える。従来のシステムでは、ドーパアモルファスシリコンの堆積にはただ1つのチャンバのみが使用され、別の層の堆積には2つ以上のチャンバが用いられている。仮に、ドーパ

アモルファスシリコンチャンバがメンテナンス等何らかの理由で使用不能になった場合、堆積システム全体が使用不能になる。本発明の1チャンバシステムを用いれば、各チャンバは独立して稼働し、従って非常に大きなシステムの信頼性が与えられる。

【0029】シングルチャンバCVDプロセスの有効性を確かめるため、一連の試験が実施された。ドーパントによる汚染を測定するには、真性アモルファスシリコンの電気伝導率が良い指標である。ドーパアモルファスシリコンの代表的な電気伝導率は、 10^{-2} (ohm-cm)⁻¹のオーダーであり、真性アモルファスシリコンでは、 10^{-10} (ohm-cm)⁻¹のオーダーである。

【0030】(実施例)表4に示されるサンプルNo. 1の結果は、リンを含まない膜をリファレンスとして用いるために、リンを含まないチャンバ内でサンプル上に堆積操作を行い得られたものである。その他のサンプルは、ドーパアモルファスシリコン膜が頻繁に処理されたチャンバ内で堆積された。これらのサンプルは、以下の処理ステップで作製された：

- 1) チャンバのインシチュウブラズマクリーニング
- 2) 50 nmのアモルファスシリコンの堆積
- 3) 所定の厚さでゲート窒化珪素を堆積、No. 2では成長させず

4) 同じチャンバに導入された別の新しい基板上に真性
アモルファスシリコンを100nm堆積 *【0031】
【表4】

5) 真性アモルファスシリコン膜の電気伝導率を測定 *

サンプル番号	g-SiN ₂ 厚さ (nm)	i-a-Si電気伝導率 (Ω ⁻¹ cm ⁻¹)
1	リンを含まないチャンバ	$1.4 \pm 1.0 \times 10^{-10}$
2	0	$9.2 \pm 0.5 \times 10^{-8}$
3	200	$6.0 \pm 1.0 \times 10^{-10}$
4	400	$1.7 \pm 1.0 \times 10^{-10}$

【0032】表4からわかるように、ゲート窒化珪素のバリア層としての有効性は、厚さが200nm(サンプル3)から400nm(サンプル4)の間で生じている。ゲート窒化珪素層がバリア層として機能するのに充分ないし最小の厚さは、約200nmであることがわかった。200nm以上の厚さでは、有効度は更に大きくなる。

【0033】ゲート窒化珪素層として厚さ200nm未満の層が用いられる場合、まずCVDチャンバのシーディングプロセスを行ってもよい。このプロセスでは、チャンバ内に基板が無い状態で、電極間にある絶縁材料のための反応体ガスにプラズマを発生させ、チャンバ壁面を絶縁材料で実質的に覆う。その後、基板をチャンバ内に導入し、3層のアモルファスシリコン堆積プロセスを実施する。

【0034】本発明は、例示された手法について説明を行ってきたが、ここで用いられた用語は、説明の語と同種のものを意図しており、限定を意図するものではない。

【0035】更に、本発明は好適な具体例に関して説明されたが、ここでの教示内容を当業者が直ちに本発明の変形に応用するであろうことが理解されよう。例えば、ゲート窒化珪素の代りに他の誘電材料を用いてもよく、また、リンの代りに他のドーパントを用いてもよ ※

※い。

【0036】

【発明の効果】以上説明したように、本発明のシングルチャンバCVDプロセスは、真性アモルファスシリコン層の汚染の問題を生じずに、同じCVDチャンバ内で、真性アモルファスシリコン層とドーパアモルファスシリコン層とを連続して基板上へ堆積する改良方法を提供する。

【図面の簡単な説明】

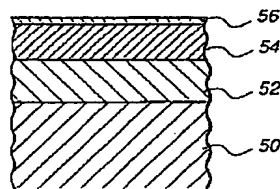
【図1】本発明の実施に用いられたプラズマ励起CVDチャンバの断面図である。

【図2】CVD処理された3層構造のバックチャンネルエッチ薄膜トランジスタの拡大断面図である。

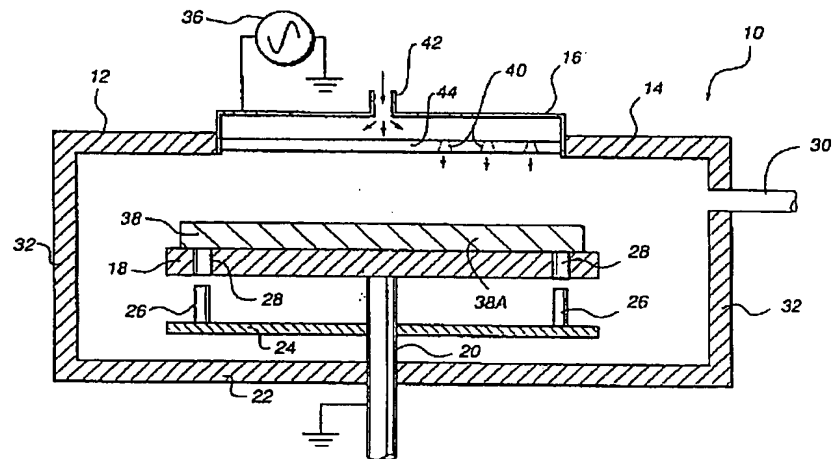
【符号の説明】

10…プラズマ励起CVD装置、12…堆積チャンバ、14…上面、16…第1の電極ないしガス流入マニホールド、18…サセプタ、20…シャフト、22…底壁面、24…リフトオフ板、26…リフトオフピン、28…リフト口、30…ガス流出口、32…側壁面、36…RF出力ソース、38…基板、42…ガス流入パイプ、50…TFT基板、52…バッシベーションゲート誘電絶縁材料層、54…真性アモルファスシリコン、56…ドーパアモルファスシリコン。

【図2】



【図1】



フロントページの続き

(72)発明者 ロバート ロバートソン
 アメリカ合衆国、 カリフォルニア州
 94301, バロ アルト, ウェブスタ
 ー ストリート 916
 (72)発明者 グオフ ジェフ フェン
 アメリカ合衆国、 カリフォルニア州
 95127, サン ノゼ, ヴァーニス
 アヴェニュー 3307

(56)参考文献 特開 平5-335335 (J P, A)
 特開 平2-240267 (J P, A)

(58)調査した分野(Int.Cl.⁶, DB名)
 H01L 21/205
 H01L 29/786